



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11340823 A**(43) Date of publication of application: **10 . 12 . 99**

(51) Int. Cl.

H03L 7/095**G01R 31/00****H03L 7/06**(21) Application number: **10149529**(71) Applicant: **NEC CORP**(22) Date of filing: **29 . 05 . 98**(72) Inventor: **TAKAHASHI AKIKAZU**(54) **INFORMATION PROCESSOR**

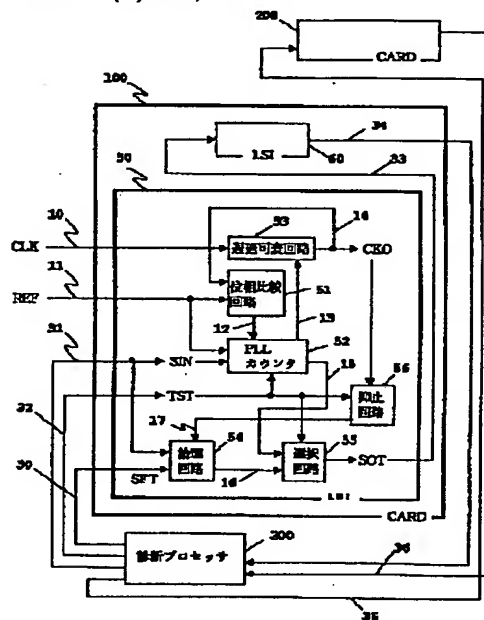
necessary.

(57) Abstract:

COPYRIGHT: (C)1999,JPO

PROBLEM TO BE SOLVED: To attain effective skew adjustment by inputting and outputting an internal state value in a scan mode, selecting a scan output, preventing internal clocks other than a PLL circuit for suppressing a logic circuit arithmetic processing, and monitoring and correcting the internal state value of the PLL circuit from a diagnostic processor.

SOLUTION: An LSI 60 inputs a scan signal 31 and a test mode 32 or the like from a diagnostic processor 300, and outputs a scan-out signal 33. A selecting circuit 55 selects a PLL counter output 15 according to a test mode signal 32 and outputs the scan-out signal 33 to an LSI 60. The test mode signal 32 is also inputted to a suppressing circuit 56, and when the test mode signal 32 is set as a valid value, the supply of an internal clock 14 to a logic circuit 54 is suppressed, and a signal 17 is turned into a stop state, and the internal state value of the logic circuit 54 is maintained. A diagnostic processor 300 fetches the internal state value of a PLL counter 52 in a buffer, and this internal state value can be monitored from the outside part, as



1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-340823

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.

識別記号

F I

H03L 7/095

H03L 7/08

B

G01R 31/00

G01R 31/00

H03L 7/06

H03L 7/06

J

審査請求 有 請求項の数 7 O L (全10頁)

(21)出願番号

特願平10-149529

(22)出願日

平成10年(1998)5月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 明和

東京都港区芝五丁目7番1号 日本電気株式会社内

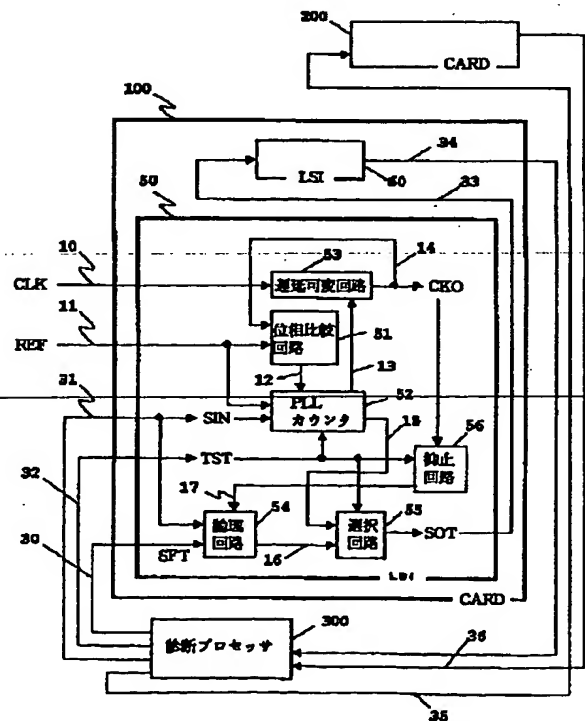
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 情報処理装置

(57)【要約】

【課題】 PLLカウンタの内部状態値つまり位相調整値を知る効果的な回路を有する情報処理装置を提供する。

【解決手段】 本発明は、PLLカウンタを装置の通常のスキャンパス (ScanPath) に組み込むことによって、診断プロセッサを用いてPLLカウンタの内部状態値のスキャン読み出しを可能とし、PLL回路の状態を外部からモニタできるようにした。さらに、診断プロセッサを用いて前記PLLカウンタへのスキャン書き込みを行うことにより、LSI内と、それらLSI間と、LSIを含むCARD内と、それらCARD間の何れに対しても、クロック位相調整値の試験的修正を行うことを可能にする。



【特許請求の範囲】

【請求項 1】 基準クロックと内部クロックの位相の進みまたは遅れを調整する PLL カウンタを含む PLL 回路を有する情報処理装置において、

前記 PLL 回路に接続される診断プロセッサからのスキャンバスと、

テストモード時に、スキャンモードとなって内部状態値を入出力する PLL カウンタと、

テストモード時に、PLL カウンタのスキャン出力を選択する選択回路を有し、

PLL 回路の内部状態値を外部からモニタ及び修正することを特徴とする情報処理装置。

【請求項 2】 基準クロックと内部クロックの位相の進みまたは遅れを調整する PLL カウンタを含む PLL 回路を有する情報処理装置において、

PLL モード時に、書き込み読み出し可能モードとなる PLL カウンタと、

PLL モード時に、PLL カウンタに入力情報を書き込む PLL 書き込み回路と、

PLL モード時に、PLL カウンタの内部状態値を読み出す PLL 読み出し回路を有し、

PLL 回路の内部状態値を外部からモニタ及び修正することを特徴とする情報処理装置。

【請求項 3】 前記診断プロセッサからのスキャンバスが、

テストモードの場合、前記 PLL カウンタと前記選択回路がテストモード信号を受け、診断プロセッサからスキャンイン信号を PLL カウンタにスキャン入力するバスと、PLL カウンタのスキャン出力を選択回路に入力するバスと、選択回路からスキャンアウト信号を出力するバスと、

シフトモードの場合、前記 PLL カウンタ以外の論理回路と前記選択回路がシフトモード信号を受け、診断プロセッサからスキャンイン信号を論理回路にスキャン入力するバスと、論理回路のスキャン出力を選択回路に入力するバスと、選択回路からスキャンアウト信号を出力するバスと、を有し、

前記 PLL 回路へのスキャンバスと前記論理回路へのスキャンバスを切り替えることを特徴とする請求項 1 記載の情報処理装置。

【請求項 4】 テストモード時に、前記内部クロックを抑止する抑止回路を有し、前記内部クロックを抑止することを特徴とする請求項 1 記載の情報処理装置。

【請求項 5】 PLL モード時に、PLL カウンタに書き込み読み出し可能となるモードを指示するバスと、PLL 入力情報を、PLL 書き込み回路を介して PLL カウンタに入力するバスと、

PLL カウンタの内部状態値を PLL 読み出し回路を介して診断プロセッサに出力するバスを有することを特徴とする請求項 2 記載の情報処理装置。

【請求項 6】 通常のシステム立ち上げ時、基準クロックと内部クロックの位相の進み／遅れを比較する位相比較回路と、前記位相比較回路の比較信号でカウントアップ／ダウンする PLL カウンタと、前記 PLL カウンタの出力信号によりタイミングクロックを遅延させて基準クロックと内部クロックの位相調整を行う遅延可変回路を含む PLL 回路を少なくとも 1 つ以上有する複数の LSI を具備し、スキャン動作により採取したスキャンデータを編集及び修正して外部から監視する診断プロセッサを有し、シフトモードになった場合、論理回路がスキャンモードになって内部状態値をスキャン入出力する情報処理装置において、

テストモード時に、スキャンモードとなって内部状態値を入出力する PLL カウンタと、

テストモード時に、前記論理回路のスキャン出力と前記 PLL カウンタのスキャン出力の中から PLL カウンタのスキャン出力を選択する選択回路と、

テストモード時に、前記論理回路への内部クロックを抑止する抑止回路とを有することを特徴とする情報処理装置。

【請求項 7】 通常のシステム立ち上げ時、基準クロックと内部クロックの位相の進み／遅れを比較する位相比較回路と、前記位相比較回路の比較信号でカウントアップ／ダウンする PLL カウンタと、前記 PLL カウンタの出力信号によりタイミングクロックを遅延させて基準クロックと内部クロックの位相調整を行う遅延可変回路を含む PLL 回路を少なくとも 1 つ以上有する複数の LSI を具備し、読み取られたデータを編集及び修正して外部から監視する診断プロセッサを有する情報処理装置において、

PLL モード時に、書き込み読み出し可能モードとなる PLL カウンタと、

PLL モード時に、PLL カウンタに入力情報を書き込む PLL 書き込み回路と、

PLL モード時に、PLL カウンタの内部状態値を読み出す PLL 読み出し回路を有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL (Phase Locked Loop) 回路を含む装置に関し、特にコンピュータ等の同期回路に用いられるデジタル PLL (DPLL) 回路によってクロック位相調整を行う情報処理装置に関する。

【0002】

【従来の技術】従来の情報処理装置は、図 4 に示すように、通常のシステム立ち上げ時、クロック供給回路 (図示せず) から配られた基準クロック (REF) 11 と内部クロック (CKO) 14 の位相の進み／遅れを位相比較回路 51 で比較し、その比較信号であるカウントアップ

10

20

30

40

50

ブ/ダウン信号12をPLLカウンタ52に入力することにより、PLLカウンタ52がカウントアップ/ダウン動作し、その結果としてPLLカウンタ出力信号13が出力され、これにより遅延可変回路53が動作し、タイミングクロック(CLK)10を遅延させる。これらの回路(PLL回路)により、基準クロック(REF)11と内部クロック(CKO)14の位相調整を行う。

【0003】

【発明が解決しようとする課題】しかし、PLLカウンタ52は、装置の通常のスキャンパスに組み込まれてはいなかったため、PLLカウンタ52の内部状態値つまり位相調整値を知る効果的な手段はなかった。この為、システムの評価時になんらかの動作不良が発生した場合に、その原因をPLL回路によるものかどうかを究明することが困難であった。

【0004】本発明の目的は、PLLカウンタの内部状態値つまり位相調整値を知る効果的な回路を有する情報処理装置を提供することである。

【0005】

【課題を解決するための手段】本発明の第1の情報処理装置は、基準クロックと内部クロックの位相の進みまたは遅れを調整するPLLカウンタを含むPLL回路を有する情報処理装置において、PLL回路に接続される診断プロセッサからのスキャンパスと、テストモード時に、スキャンモードになって内部状態値を入出力するPLLカウンタと、PLLカウンタのスキャン出力を選択する選択回路と、テストモード時に、PLL回路以外の論理回路への内部クロックを抑止することにより、通常の論理回路の演算処理を抑止する抑止回路と、PLL回路の内部状態値を診断プロセッサからモニタ及び修正する手段から構成される。

【0006】診断プロセッサからのスキャンパスは、テストモード時に、PLLカウンタと選択回路と抑止回路がテストモード信号を受け、診断プロセッサからスキャンイン信号をPLLカウンタにスキャン入力するバスと、PLLカウンタのスキャン出力を選択回路に入力するバスと、選択回路からスキャンアウト信号を出力するバスと、シフトモード時に、論理回路と選択回路と抑止回路がシフトモード信号を受け、診断プロセッサからスキャンイン信号を論理回路にスキャン入力するバスと、論理回路のスキャン出力を選択回路に入力するバスと、選択回路からスキャンアウト信号を出力するバスで構成される。

【0007】本発明は、図1に示すように、PLLカウンタ52を装置(システム)の通常のスキャンパス(Scan Path)に組み込むことによって、診断プロセッサ300を用いてのPLLカウンタ52の内部状態値のスキャン読み出し(及びスキャン書き込み)を可能とし、PLL回路の状態を外部からモニタできるようにした。これにより、システム立ち上げ時にクロックが起因する不

具合(例えばPLLのロック不良とかLSI内の各PLLの差異によるスキュー増大)を早期につきとめることができる。

【0008】さらに、診断プロセッサ300を用いてPLLカウンタ52へのスキャン書き込みを行うことにより、LSI内と、それらLSI間と、LSIを含むCARD内と、それらCARD間の何れに対しても、クロック位相調整値の試験的修正を行うことを可能にする。

【0009】ここで、本発明のPLLカウンタの読み出し/書き込み方法については、スキャンパスによるもの限定していない。例えば、図3及び以下に示すように、PLLカウンタ52への読み出し/書き込み手段を設けることにより、前記の目的は実現可能となる。

【0010】本発明の第2の情報処理装置は、基準クロックと内部クロックの位相の進みまたは遅れを調整するPLLカウンタを含むPLL回路を有する情報処理装置において、PLLモード時に、PLLカウンタに入力情報を書き込むPLL書き込み回路と、PLLカウンタから内部状態値を読み出すPLL読み出し回路と、PLL回路の内部状態値を診断プロセッサからモニタ及び修正する手段から構成される。

【0011】診断プロセッサとの接続バスは、PLLモード時に、PLLカウンタに書き込み読み出し可能となるモードを指示するバスと、PLL入力情報を、PLL書き込み回路を介してPLLカウンタに出力するバスと、PLLカウンタの内部状態値をPLL読み出し回路を介して診断プロセッサに出力するバスで構成される。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して、詳細に説明する。

【0013】図1は、本発明の情報処理装置の一実施例の構成を示すブロック図である。図において、通常のシステム立ち上げ時、クロック供給回路(図示せず)から配られた基準クロック(REF)11と内部クロック(CKO)14の位相の進み/遅れは、位相比較回路51で比較(検出)される。その比較(検出)結果信号であるカウントアップ/ダウン信号12は、PLLカウンタ52に入力される。PLLカウンタ52は、カウントアップ/ダウン信号12により、出力信号13を出力し、遅延可変回路53を動作させ、タイミングクロック(CLK)10を遅延させる。基準クロック(REF)11と内部クロック(CKO)14の位相調整は、これら位相比較回路51とPLL回路52と遅延可変回路53の動作により行なわれる。位相調整が完了すると、PLLカウンタ52はホールドされ、クロック位相調整値がPLLカウンタ52内に保持される。

【0014】次に、定期的なシステムの診断時及び故障時等に、装置の内部状態を外部からモニタ及び修正するための手段としての診断プロセッサ300と、装置(システム)内にめぐらされたスキャンパスについて説明す

る。

【0015】図1に示すように、診断対象のCARD 100内部のLSI 50は、診断プロセッサ300から、シフトモード（スキャンモードとも言う）信号（SFT）30とスキャンイン信号（SIN）31とテストモード信号（TST）32を入力とし、スキャンアウト信号（SOT）33を出力とする。PLLカウンタ52の
スキャン動作を行う場合、テストモード信号（TST）32を有効な値（例えば論理“1”）に設定することにより、PLLカウンタ52はスキャンモード（シフトモードとも言う）となる。

【0016】PLLカウンタ52は基準クロック（REF）11を受け、内部状態値であるPLLカウンタ出力15を選択回路55に出力する。選択回路55は、テストモード信号（TST）32により、PLLカウンタ出力15を選択し、LSI 60へのスキャンアウト信号（SOT）33を出力する。テストモード信号（TST）32は、抑止回路56にも配られていて、テストモード信号（TST）32を有効な値（例えば論理“1”）に設定した場合、論理回路54への内部クロック（CKO）14の供給は抑止され、信号17は停止状態となり、論理回路54の内部状態値は保持される。

【0017】診断プロセッサ300は、テストモード信号（TST）32を有効な値（例えば論理“1”）に設定し、予め規定された総F/F（Flip Flop）数分程度の基準クロック（REF）11の出力をクロック供給回路（図示せず）に指示し、これによりスキャン出力されたPLLカウンタ52の内部状態値を診断プロセッサ300内のバッファに取り込み、その後必要に応じて内容を編集することにより、PLLカウンタ52の内部状態を外部からモニタ可能とする。

【0018】さらに、診断プロセッサ300内のバッファに取り込んだスキャンデータを修正し、予め規定された総F/F数分程度の基準クロック（REF）11の出力をクロック供給回路（図示せず）に指示し、元のLSI（例えばLSI 50）にスキャンイン信号（SIN）31によりスキャン入力することにより、PLLカウンタ52の内部状態値を変更（スキャン書き込み）することが可能となる。

【0019】実際には、スキャンデータ（内部状態値）の変更を行わない場合にも、診断プロセッサ300内のバッファに取り込んだスキャンデータをそのままの状態
で、元のLSI（例えばLSI 50）にスキャン入力し、各LSI内のPLLカウンタの内部状態値をスキャン動作前に復元（スキャン書き込み）することになる。

【0020】尚、図1において図示していないが、LSI 60と診断プロセッサ300及びクロック供給回路（図示せず）との間にも、LSI 50と同様のインタフェースが存在する。スキャン信号33は、LSI 60内のスキャンバスを経由し、スキャン信号34として、診

断プロセッサ300に戻される。

【0021】さらに、各LSI内の論理回路の内部状態をモニタする場合も同様であり、LSI 50内の論理回路54のスキャンを行う場合、シフトモード信号（SFT）30を有効な値（例えば論理“1”）に設定することにより、論理回路54内のレジスタ（F/F群の総称）はスキャンモードとなり、タイミングクロック（CLK）10を入力することにより、内部レジスタの状態値である論理回路出力16は選択回路55に出力される。選択回路55は、シフトモード信号（SFT）30により、論理回路出力16を選択し、LSI 60へのスキャンアウト信号（SOT）33を出力する。その後は同様にして、スキャンアウト信号（SOT）33はスキャン信号34として診断プロセッサ300に戻され、（LSI内部の）論理回路54の内部状態値は編集され、外部からモニタ可能となる。

【0022】診断プロセッサ300は、シフトモード信号（SFT）30を有効な値（例えば論理“1”）に設定し、予め規定された総F/F（Flip Flop）数分程度のタイミングクロック（CLK）10の出力をクロック供給回路（図示せず）に指示し、これによりスキャン出力された論理回路54の内部状態値を診断プロセッサ300内のバッファに取り込み、その後必要に応じて内容を編集することにより、論理回路54の内部状態を外部からモニタ可能とする。さらに、診断プロセッサ300内のバッファに取り込んだスキャンデータを修正し、予め規定された総F/F数分程度のタイミングクロック（CLK）10の出力をクロック供給回路（図示せず）に指示し、元のLSI（例えばLSI 50）にスキャンイン信号（SIN）31によりスキャン入力することにより、各LSI内の論理回路の内部状態値を変更（スキャン書き込み）することが可能となる。

【0023】CARD 200においても、同様のインタフェースが診断プロセッサ300との間に存在し、スキャン信号35は、内部でスキャン接続されたCARD 200内を抜けて、スキャン信号36として診断プロセッサ300に戻される。

【0024】

【実施例】図1は、本発明の情報処理装置の一実施例の構成を示すブロック図である。ここで、本発明の情報処理装置は、クロック供給回路（図示せず）から配られた基準クロック（REF）11と内部クロック（CKO）14の位相の進み/遅れを検出する位相比較回路51と、位相比較回路51からのカウントアップ/ダウン信号12によりカウントアップ/ダウン動作し、テストモード信号（TST）32が有効な値（例えば論理“1”）になった場合、スキャンモードとなり、内部状態値をスキャン出力するPLLカウンタ52と、PLLカウンタ52からのPLLカウンタ出力信号13により、タイミングクロック（CLK）10を遅延させる遅延可

変回路 5 3 と、シフトモード信号 (SFT) 3 0 が有効な値 (例えば論理 "1") になった場合、スキャンモードとなり、内部レジスタの状態値である論理回路出力 1 6 をスキャン出力する論理回路 5 4 と、テストモード信号 (TST) 3 2 が有効な値 (例えば論理 "1") になった場合、入力である論理回路出力 1 6 と PLL カウンタ出力 1 5 の中から PLL カウンタ出力 1 5 を選択する選択回路 5 5 と、テストモード信号 (TST) 3 2 が有効な値 (例えば論理 "1") になった場合、論理回路出力 1 6 への内部クロック (CKO) 1 4 を抑止する抑止回路 5 6 と、これらの回路を含む LSI 5 0 と、LSI 5 0 とスキャンバス接続され、同様のスキャン回路を含む LSI 6 0 と、これらの LSI を含む CARD 1 0 0 と、同様のスキャン回路を含む CARD 2 0 0 と、これらの CARD とスキャンバス接続され、スキャン動作により採取したスキャンデータを外部からモニタ可能になるように編集及び修正する診断プロセッサ 3 0 0 とで構成される。

【0025】図 2 は、本発明の情報処理装置の一実施例の動作を、診断プロセッサ側から説明したフローチャートである。ある LSI に対してスキャン動作を行う場合、先ずスキャン動作を行うべき CARD を選択し (ステップ 3 0 1)、次に PLL カウンタのスキャン動作を行う場合 (ステップ 3 0 2)、テストモード (TST) 信号を有効な値 (例えば論理 "1") に設定する (ステップ 3 0 3)。論理回路のスキャン動作を行う場合、シフトモード信号 (SFT) 3 0 を有効な値 (例えば論理 "1") に設定する (ステップ 3 0 4)。

【0026】PLL カウンタのスキャン動作を行う場合、クロック供給回路に対し、PLL カウンタのスキャン読み出し動作を完了する為に必要なクロックの送出を指示し、これによりスキャンデータを取り込み (ステップ 3 0 5)、(PLL カウンタのスキャンデータを編集し、) 外部からモニタ可能とする。ここで、スキャンデータの変更を行う場合 (ステップ 3 0 7)、取り込んだ PLL カウンタのスキャンデータを変更する (ステップ 3 0 9)。スキャンデータの変更を行わない場合 (ステップ 3 0 7)、取り込んだ PLL カウンタのスキャンデータをそのまま保持する。そして、クロック供給回路に対し、PLL カウンタのスキャン書き込み動作を完了する為に必要なクロックの送出を指示し、取り込んだスキャンデータを送出し、PLL カウンタにスキャンデータを再設定し (ステップ 3 1 1)、テストモード (TST) 信号を無効な値 (例えば論理 "0") に設定し (ステップ 3 1 3)、PLL カウンタのスキャン動作を終了する。

【0027】論理回路のスキャン動作を行う場合 (ステップ 3 0 4)、クロック供給回路に対し、論理回路のスキャン読み出し動作を完了する為に必要なクロックの送出を指示し、これによりスキャンデータを取り込み (論

理回路のスキャンデータを編集し) (ステップ 3 0 6)、外部からモニタ可能とする。ここで、スキャンデータの変更を行う場合 (ステップ 3 0 8)、取り込んだ論理回路のスキャンデータを変更する (ステップ 3 1 0)。スキャンデータの変更を行わない場合 (ステップ 3 0 8)、取り込んだ論理回路のスキャンデータをそのまま保持する。そして、クロック供給回路に対し、論理回路のスキャン書き込み動作を完了する為に必要なクロックの送出を指示し、スキャンデータを送出し、論理回路内のレジスタ群にスキャンデータを再設定し (ステップ 3 1 2)、シフトモード信号 (SFT) 3 0 を無効な値 (例えば論理 "0") に設定し (ステップ 3 1 4)、論理回路のスキャン動作を終了する。

【0028】次に、本発明の他の実施例について、図面を参照して、詳細に説明する。

【0029】図 3 は、本発明の情報処理装置の他の実施例の構成を示すブロック図である。図において、通常のシステム立ち上げ時、クロック供給回路 (図示せず) から配られた基準クロック (REF) 1 1 と内部クロック (CKO) 1 4 の位相の進み/遅れは位相比較回路 5 1 で比較 (検出) され、その比較 (検出) 結果信号であるカウントアップ/ダウン信号 1 2 は PLL カウンタ 5 2 に入力され、カウントアップ/ダウン信号 1 2 により、PLL カウンタ 5 2 はカウントアップ/ダウン動作し、その結果として PLL カウンタ出力信号 1 3 が出力されることにより、遅延可変回路 5 3 が動作し、タイミングクロック (CLK) 1 0 を遅延させる。これらの回路 (PLL 回路) により、基準クロック (REF) 1 1 と内部クロック (CKO) 1 4 の位相調整が行なわれる。位相調整が完了すると PLL カウンタ 5 2 はホールドされ、クロック位相調整値は PLL カウンタ 5 2 内に保持される。ここまでは図 1 と同様である。次に、装置の内部状態を外部からモニタ及び修正する為の手段としての診断プロセッサ 3 0 0 と、装置内に組み込まれた PLL 書き込み回路 5 7 と、PLL 読み出し回路 5 8 について説明する。

【0030】図 3 に示すように、診断プロセッサ 3 0 0 から CARD 1 0 0 内部の LSI 5 0 へは、PLL モード信号 (PLL) 4 2 と PLL 入力情報 (PLL IN) 4 1 とが入力され、LSI 5 0 からは PLL 出力情報 (PLL OT) 4 3 が出力される。PLL カウンタ 5 2 の読み出し動作を行う場合、PLL モード信号 (PLL) 4 2 を有効な値 (例えば論理 "1") に設定することにより、PLL カウンタ 5 2 はスルーモード (読み出し/書き込み可能状態) となり、内部状態値である PLL カウンタ出力情報 2 2 は PLL 読み出し回路 5 8 に出力される。PLL 読み出し回路 5 8 は、診断プロセッサ 3 0 0 へ PLL 出力情報 (PLL OT) 4 3 を出力する。診断プロセッサ 3 0 0 は、PLL モード信号 (PLL) 4 2 を有効な値 (例えば論理 "1") に設定し、P

PLL読み出し回路58により読み出されたPLLカウンタ52の内部状態値を診断プロセッサ300内のバッファに取り込み、その後必要に応じて内容を編集することにより、PLLカウンタ52の内部状態を外部からモニタ可能とする。さらに、診断プロセッサ300内のバッファに取り込んだデータを修正、あるいは新規にデータ作成し、元のLSI (例えばLSI50) にPLL入力情報 (PLLIN) 41として、PLL書き込み回路57に入力することにより、PLLカウンタ入力情報21としてPLLカウンタ52に書き込まれ、内部状態値を変更することが可能となる。尚、図3において図示していないが、LSI60と診断プロセッサ300及びクロック供給回路 (図示せず) との間にも、LSI50と同様のインタフェースが存在する。

【0031】実施例の構成としては、クロック供給回路 (図示せず) から配られた基準クロック (REF) 11と内部クロック (CKO) 14の位相の進み/遅れを検出する位相比較回路51と、位相比較回路51からのカウントアップ/ダウン信号12によりカウントアップ/ダウン動作し、PLLモード信号 (PLL) 42が有効な値 (例えば論理"1") になった場合、スルーモード (読み出し/書き込み可能状態) となり、内部状態値をPLL読み出し回路58に出力するPLLカウンタ52と、PLLカウンタ52からのPLLカウンタ出力信号13により、タイミングクロック (CLK) 10を遅延させる遅延可変回路53と、PLLカウンタの内部状態値を取り込み、診断プロセッサ300へのPLL出力情報 (PLL0T) 43を出力するPLL読み出し回路58と、PLL読み出し動作により採取したデータを外部からモニタ可能になるように編集及び修正する診断プロセッサ300と、診断プロセッサ300からのPLL入力情報 (PLLIN) 41を受け取り、PLLカウンタ入力情報21としてPLLカウンタ52に書き込むPLL書き込み回路57とで構成される。

【0032】

【発明の効果】本発明によれば、図1及び図3のPLLデータ読み出し機能は、システム評価時になんらかの動作不良が発生した場合に、その原因をPLL回路によるものかどうかを究明するための仕掛けを実現し、信頼性向上のためのデータ収集を可能にする効果がある。従来は、クロックモニタ出力によるクロック観測では、その測定には特別な測定器が必要であり、問題解明に時間がかかっていた。

【0033】また、本発明によれば、図1及び図3のPLLデータ書き込み機能は、PLL回路内の遅延可変回路を制御するPLLカウンタへのデータ設定を実現し、PLL回路の故障時等の回避手段として、試験的なスキュー調整を可能とする効果がある。

【0034】更に、本発明によれば、図1において、PLLカウンタのスキャンバスを装置 (システム) の通常

のスキャンバスに組み込むことにより、PLLスキャンデータ読み出し/書き込み機能専用ハードウェアの増加を抑え、診断プロセッサ等を共用できる効果がある。

【0035】更にまた、本発明によれば、図1において、PLLスキャン動作時に (LSI内部の) 論理回路へのクロック供給を停止する機能は、論理回路の状態値の保持を可能とするので、PLLスキャン動作時に伴う論理回路の状態値のバックアップ作業を不要にする効果がある。

【図面の簡単な説明】

【図1】本発明の情報処理装置の一実施例の構成を示すブロック図である。

【図2】本発明の情報処理装置の一実施例の動作を、診断プロセッサ側から説明したフローチャートである。

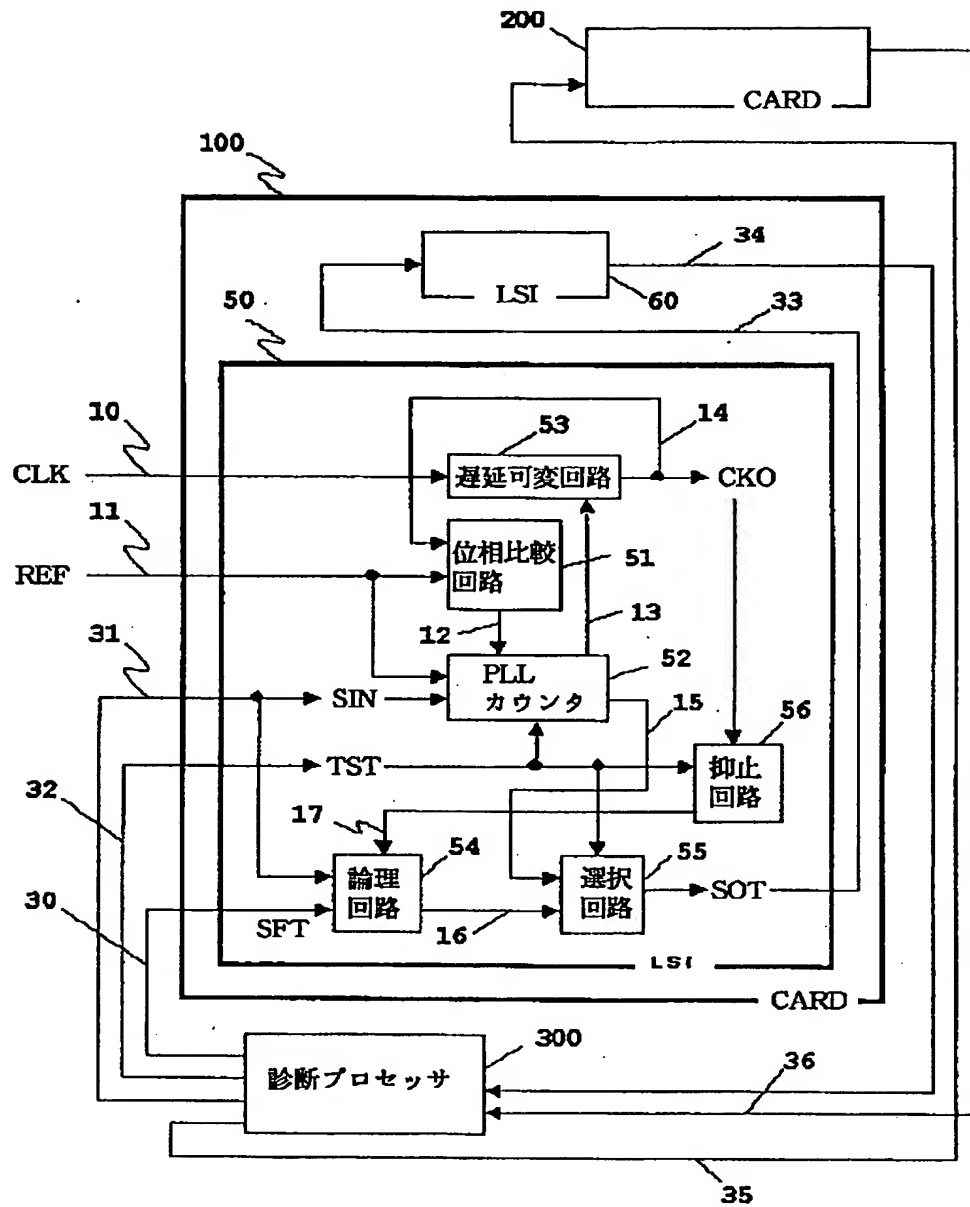
【図3】本発明の情報処理装置の他の実施例の構成を示すブロック図である。

【図4】従来の情報処理装置の一実施例の構成を示すブロック図である。

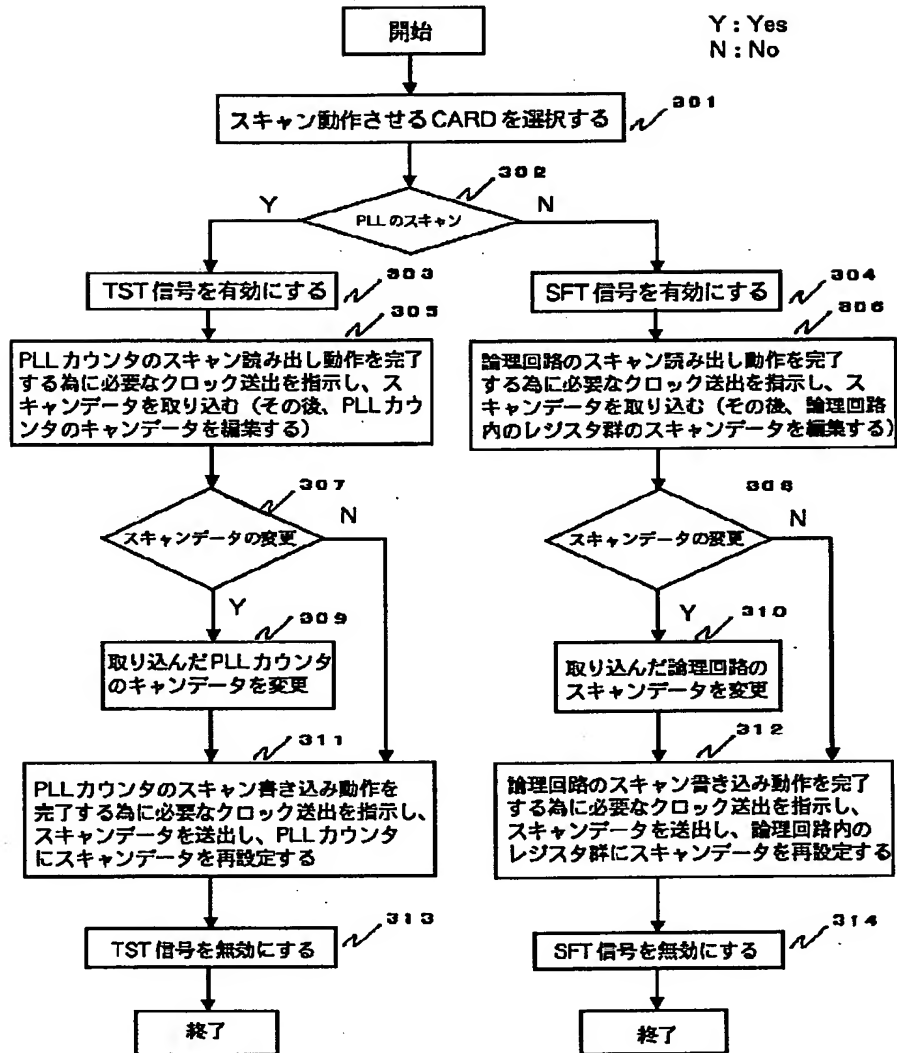
【符号の説明】

- 10 タイミングクロック (CLK)
- 11 基準クロック (REF)
- 12 カウントアップ/ダウン信号
- 13 PLLカウンタ出力信号
- 14 内部クロック (CKO)
- 15 PLLカウンタ出力
- 16 論理回路出力
- 17 信号
- 21 PLLカウンタ入力情報
- 22 PLLカウンタ出力情報
- 30 シフトモード信号 (SFT)
- 31 スキャンイン信号 (SIN)
- 32 テストモード信号 (TST)
- 33 スキャンアウト信号 (SOT)
- 34、35、36 スキャン信号
- 41 PLL入力情報 (PLLIN)
- 42 PLLモード信号 (PLL)
- 43 PLL出力情報 (PLL0T)
- 44、45 スキャン信号
- 50、60 LSI
- 51 位相比較回路
- 52 PLLカウンタ
- 53 遅延可変回路
- 54 論理回路
- 55 選択回路
- 56 抑止回路
- 57 PLL書き込み回路
- 58 PLL読み出し回路
- 100、200 カード (CARD)
- 300 診断プロセッサ

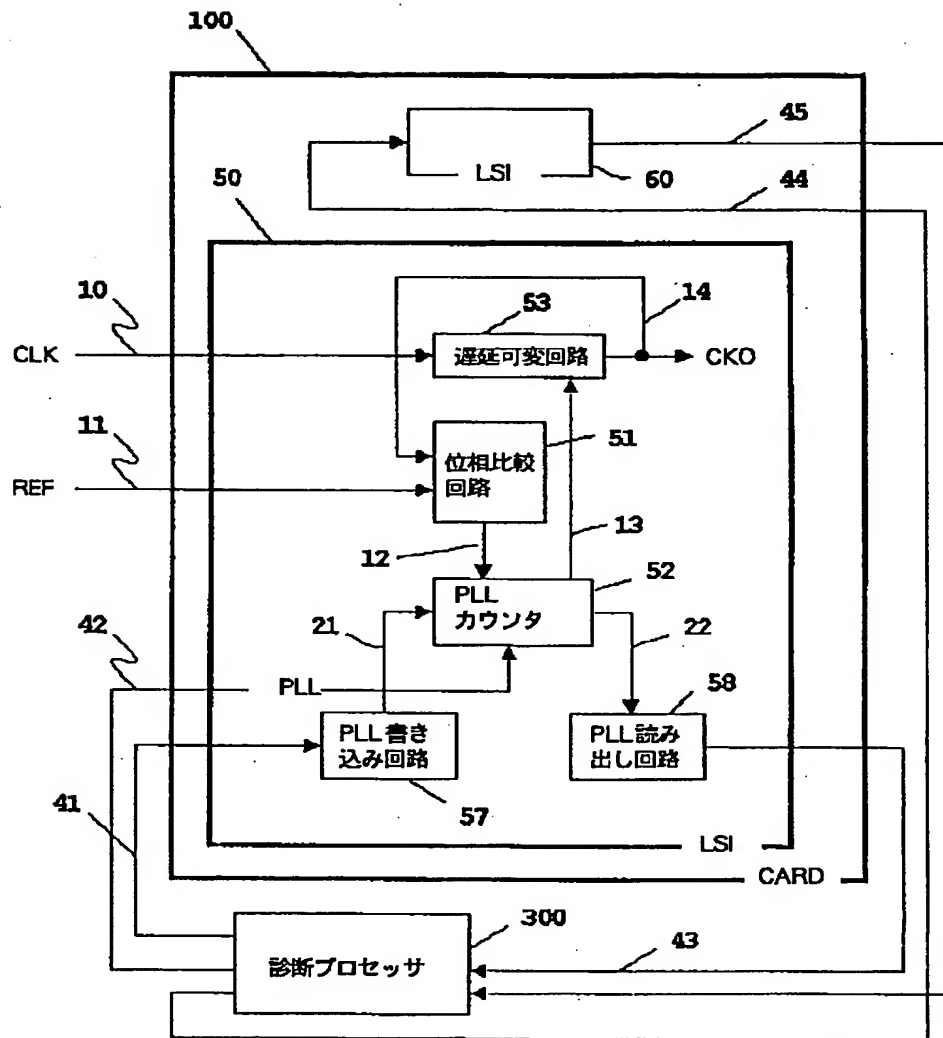
【図 1】



【図 2】



【図3】



【図 4】

